



⑮ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 100 10 285 A 1**

⑤① Int. Cl. 7:
H 01 L 23/544
H 01 L 21/66
H 01 L 29/78

⑳ Aktenzeichen: 100 10 285.9
㉔ Anmeldetag: 25. 2. 2000
㉕ Offenlegungstag: 13. 9. 2001

DE 100 10 285 A 1

㉗ Anmelder:
Infineon Technologies AG, 81669 München, DE
㉘ Vertreter:
Epping, Hermann & Fischer, 80339 München

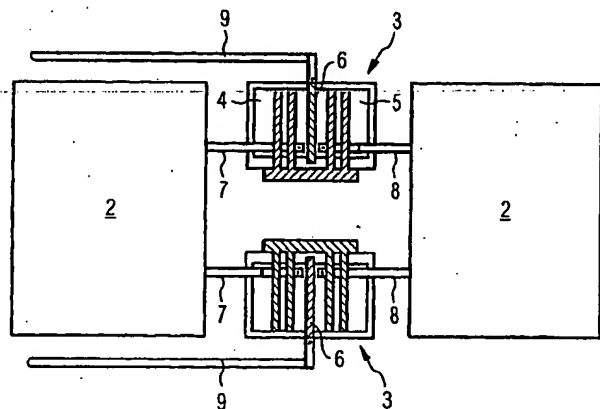
㉚ Erfinder:
Richter, Frank, Dipl.-Ing., 01108 Dresden, DE
㉛ Entgegenhaltungen:
US 59 42 766
EP 01 33 955 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Teststruktur bei integriertem Halbleiter

⑤⑦ Mit zunehmender Integrationsdichte integrierter Schaltkreise kann die Packungsdichte in zwischen den integrierten Schaltkreisen liegenden Testbereichen (Kerf-Strukturen) nicht wesentlich erhöht werden, da der größte Teil der zur Verfügung stehenden Fläche von Kontaktflächen eingenommen wird. Die Erfindung ist daher gerichtet auf einen Teststrukturbereich (1) auf einem Wafer mit Kontaktflächen (2) zum Anlegen von Spannungen und Testbauelementen (3) zwischen den Kontaktflächen (2), der dadurch gekennzeichnet ist, dass zumindest zwei Testbauelemente (3) zwischen jeweils zwei benachbarten Kontaktflächen (2) angeordnet sind, welche mit den benachbarten Kontaktflächen (2) verbunden sind, so dass eine Spannung über die Kontaktflächen (2) an die Testbauelemente (3) anlagebar ist.



DE 100 10 285 A 1

Beschreibung

Die vorliegende Erfindung betrifft einen Teststrukturbereich auf einem Wafer, insbesondere ein Teststrukturbereich, der zwischen zwei integrierten Schaltkreisen auf einem Wafer angeordnet sein kann.

Integrierte Schaltkreise werden auf monokristallinen Siliziumscheiben, sogenannten Wafern, hergestellt. Da die auf einem Wafer zur Verfügung stehende Fläche erheblich größer ist als die Fläche eines integrierten Schaltkreises, werden eine Vielzahl von integrierten Schaltkreisen, zumeist identische, auf jedem produzierten Wafer untergebracht. Während der Herstellung von integrierten Schaltkreisen werden immer wieder photolithographische Prozesse verwendet, bei denen der Wafer durch eine Maske belichtet wird. Durch diesen Belichtungsvorgang werden beispielsweise herauszutragende Strukturen des integrierten Schaltkreises in einem Photolack festgelegt. Aus Rationalisierungsgründen werden zumeist mehrere Masken für mehrere nebeneinander liegende integrierte Schaltkreise auf einem lithographischen Film angeordnet und gemeinsam belichtet. Die auf diese Weise gemeinsam belichteten integrierten Schaltkreise werden als Retikel bezeichnet. Zwischen den einzelnen integrierten Schaltkreisen befindet sich ein Zwischenraum, in dem die fertiggestellten integrierten Schaltkreise durch Sägen oder Ätzen voneinander vereinzelt werden können. Der Zwischenraum wird dabei chemisch oder mechanisch entfernt.

Allerdings wird der Zwischenraum vor dem Vereinzeln für Testzwecke verwendet, indem auf den zusammenhängenden Masken zur Herstellung eines Retikels zwischen den eigentlichen Bereichen der integrierten Schaltkreise Teststrukturen vorgesehen sind, die mit aufbelichtet werden und den Zwischenraum zwischen den einzelnen integrierten Schaltkreisen ausfüllen.

Diese Teststrukturen bestehen üblicherweise aus Kontaktflächen (sogenannten Pads) und zwischen den Kontaktflächen angeordneten Testbauteilen, zumeist Transistoren, wobei jeweils ein Testbauteil zwischen zwei Kontaktflächen liegt.

Nach Fertigstellung der integrierten Schaltkreise eines Wafers können diese Testbereiche kontaktiert und die Funktionsfähigkeit der auf ihnen angeordneten Testbauteile, beispielsweise der Transistoren überprüft werden. Die Funktionsfähigkeit der Transistoren liefert ein recht zuverlässiges Bild von der Güte des Herstellungsprozesses der integrierten Schaltkreise auf dem jeweiligen Wafer. Man kann davon ausgehen, dass Probleme, welche sich in den Testbereichen zeigen, auch in den integrierten Schaltkreisen vorliegen, so dass diese frühzeitig aussortiert werden können, bevor ihre Disfunktionalität in einem wesentlich komplizierteren Testverfahren, das diesem allgemeinen Test nachgeschaltet ist, festgestellt wird.

Mit zunehmender Integrationsdichte der integrierten Schaltkreise, insbesondere bei Speicherbausteinen, wie DRAM, SDRAM, RAMBUS oder EDRAM tritt allerdings das Problem auf, dass auf einer bestimmten Fläche des Wafers eine immer größere Zahl von Funktionsbauelementen angeordnet wird. Demgegenüber kann die Packungsdichte in den zwischen den integrierten Schaltkreisen liegenden Testbereichen nicht wesentlich erhöht werden, da der größte Teil der zur Verfügung stehenden Fläche von den praktisch nicht verkleinerbaren Kontaktflächen eingenommen wird. Es sinkt daher mit zunehmender Integrationsdichte das Verhältnis zwischen Zahl der Testbauteile und Zahl der Funktionsbauteile. Diese Verringerung der Anzahl von testbaren Einzelstrukturen und der damit verbundene Informationsverlust, insbesondere in der Entwicklung und

beim Produktionsstart eines neuen Produkts, war ein im Stand der Technik begangener, hochgradig unbefriedigender Weg.

Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, die Zahl der testbaren Einzelstrukturen, respektive Testbauelemente, bezogen auf die Chipfläche der integrierten Schaltkreise, zu erhöhen.

Diese Aufgabe wird erfindungsgemäß gelöst durch die Bereitstellung eines Teststrukturbereichs auf einem Wafer gemäß dem unabhängigen Patentanspruch 1.

Weitere vorteilhafte Ausgestaltungen, Aspekte und Details der vorliegenden Erfindung ergeben sich aus den abhängigen Patentansprüchen, der Beschreibung und den beigefügten Zeichnungen.

Die Erfindung ist gerichtet auf einen Teststrukturbereich auf einem Wafer mit Kontaktflächen zum Anlegen von Spannungen und Testbauelementen zwischen den Kontaktflächen, wobei dieser Teststrukturbereich dadurch gekennzeichnet ist, dass zumindest zwei Testbauelemente zwischen jeweils zwei benachbarten Kontaktflächen angeordnet sind, welche mit den benachbarten Kontaktflächen verbunden sind, so dass eine Spannung über die Kontaktflächen an die Testbauelemente anlegbar ist.

Die erfindungsgemäße Lösung der obigen Aufgabe besteht also darin, die Zahl der testbaren Testbauelemente zwischen den Kontaktflächen zu vergrößern. Bislang war man davon ausgegangen, dass es nur sinnvoll sei, jeweils ein Testbauelement zwischen zwei Kontaktflächen zu legen.

Vorzugsweise sind die Testbauelemente Transistoren. Diese können beispielsweise an ihren Source-Bereichen mit einer benachbarten Kontaktfläche und an Drain-Bereichen mit der anderen benachbarten Kontaktfläche verbunden sein. Die Gate-Bereiche können beispielsweise über einen gemeinsamen Pol laufen, der beim Testen des Teststrukturbereichs ein- und ausgeschaltet werden kann, über spezielle dafür vorgesehene Kontaktflächen.

Wie bereits dargelegt, ist die Erfindung vorzugsweise auf Teststrukturbereiche gerichtet, welche zwischen zwei integrierten Schaltkreisen angeordnet sind. Die Erfindung eignet sich jedoch auch für die Bereitstellung von Teststrukturbereichen in anderen Regionen integrierter Schaltkreise, insbesondere auch in solchen Regionen, die nicht nach dem Test entfernt werden. Gerade bei hoch komplexen Chips, beispielsweise Prozessoren, welche eine vergleichsweise große Chipfläche belegen, kann es sinnvoll sein, auch im Inneren jeder Chipfläche Teststrukturbereiche der erfindungsgemäßen Art vorzusehen.

Der erfindungsgemäße Teststrukturbereich kann vorzugsweise eine Breite von 50 bis 200 µm aufweisen. Die Breite ist maßgeblich von der Größe der Kontaktflächen, die in einer Reihe angeordnet sein können, bestimmt und definiert den für die Anordnung von Testbauelementen zur Verfügung stehenden Platz in der Breite.

Im folgenden soll die Erfindung an Hand eines konkreten Ausführungsbeispiels erläutert werden, wobei auf die beigefügten Zeichnungen Bezug genommen werden soll, in denen folgendes dargestellt ist.

Fig. 1 zeigt in Übersicht einen im Stand der Technik bekannten gesamten Teststrukturbereich; und

Fig. 2 zeigt zwischen Kontaktflächen eines erfindungsgemäßen Teststrukturbereichs angeordnete Testtransistoren.

Fig. 1 zeigt einen Teststrukturbereich 1, über dessen Länge verteilt Kontaktflächen 2 angeordnet sind. Diese sind voneinander beabstandet. Im Zwischenraum zwischen jeweils zwei benachbarten Kontaktflächen sind Testbauelemente 3, beispielsweise Transistoren angeordnet. Diese sind an ihren Source-/Drain-Bereichen mit jeweils zwei benachbarten Kontaktflächen verbunden. Zugleich ist auch jede

Kontaktfläche mit zwei benachbarten Transistoren verbunden, so dass jede Kontaktfläche wahlweise als Spannungsgeber für ein Source- oder einen Drain-Bereich eingesetzt werden kann. Bei der Testung des Teststrukturbereichs sind die Spannungen entsprechend auf die Testnadeln zu legen. 5

Fig. 2 zeigt die erfindungsgemäße Anordnung von zwei Testtransistoren zwischen Kontaktflächen 2. Es ist jedoch auch vorstellbar, die Zahl der Transistoren weiter zu erhöhen. Jeder Transistor weist einen Source-Bereich 4 und einen Drain-Bereich 5 sowie einen Gate-Bereich 6 auf. Der Source-Bereich 4 ist über eine Leiterbahn 7 mit der linken der beiden Kontaktflächen 2 verbunden, während der Drain-Bereich 5 über eine Leiterbahn 8 mit der rechten der beiden Kontaktflächen 2 verbunden ist. Diese Schaltungsanordnung ist bei beiden Transistoren 3 gleich. Vorstellbar ist auch, die Transistoren so auszuführen, dass sie gemeinsame Source-/Drain- oder Gate-Bereiche aufweisen. Dem Fachmann ist die Realisierung solcher gemeinsamen Bereiche bekannt. Die Leiterbahnen 9 sind am Gate-Bereich 6 angeordnet und führen zu nicht dargestellten Kontaktflächen, über die ein Schaltstrom den Transistoren zugeführt werden kann. 10 15 20

Die erfindungsgemäße Lösung der gestellten Aufgabe führt zu einer optimalen Ausnutzung der vorhandenen Zwischenbereiche (der sogenannten Kerf-Bereiche). Zugleich kommt es zu einer massiven Reduktion der notwendigen Makrobereiche. Eine wie im Stand der Technik bekannte Verringerung der Pad-Geometrien zum Zweck der Kompensation fehlender Testflächen ist nicht mehr notwendig. Dadurch, dass keine neue Ausrüstung beschafft werden muß, kommt es zu einer bedeutenden Einsparung von Investitionsmitteln. Insgesamt kann eine optimale Device-Entwicklung für zukünftige Shrink-Generationen und neue SDRAM und EDRAM-Produkte durch Verhindern von aus Platzmangel bedingten Kürzungen an wichtigen Transistorstrukturen gesichert werden. 25 30 35

Patentansprüche

1. Teststrukturbereich (1) auf einem Wafer mit Kontaktflächen (2) zum Anlegen von Spannungen und Testbauelementen (3) zwischen den Kontaktflächen (2); dadurch gekennzeichnet, dass zumindest zwei Testbauelemente (3) zwischen jeweils zwei benachbarten Kontaktflächen (2) angeordnet sind, welche mit den benachbarten Kontaktflächen (2) verbunden sind, so dass eine Spannung über die Kontaktflächen (2) an die Testbauelemente (3) anlegbar ist. 40 45
2. Teststrukturbereich (1) nach Anspruch 1, dadurch gekennzeichnet, dass die Testbauelemente (3) Transistoren sind. 50
3. Teststrukturbereich (1) nach Anspruch 2, dadurch gekennzeichnet, dass die Transistoren an Source-Bereichen (4) mit einer benachbarten Kontaktfläche (2) und an Drain-Bereichen (5) mit der anderen benachbarten Kontaktfläche (2) verbunden sind. 55
4. Teststrukturbereich (1) nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass der Teststrukturbereich (1) zwischen zwei integrierten Schaltkreisen angeordnet ist. 60
5. Teststrukturbereich (1) nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass der Teststrukturbereich (1) eine Breite von 50 bis 200 Mikrometern aufweist. 65

- Leerseite -

THIS PAGE BLANK (USPTO)

FIG 1
Stand der Technik

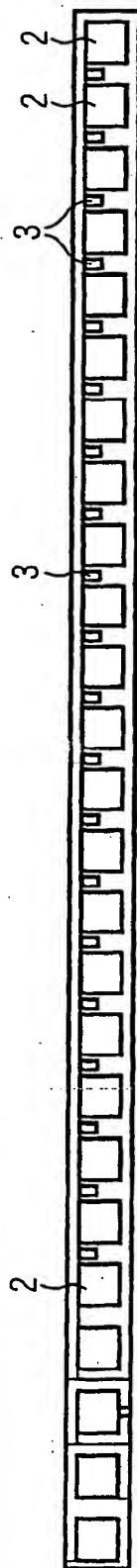


FIG 2

